

JC760 U.S. PRO
10/014949
10/26/01

J A P A N P A T E N T O F F I C E

This is to certify that the annexed is a true copy of following application
as filed with this Office.

#2 / Priority
paper
3-5-02
R. S. L.

Date of Application: April 25, 2001

Application Number: P 2 0 0 1 - 1 2 8 1 8 7

Applicant(s): Sanken Electric Co., Ltd.

June 12, 2001

Commissioner,
Japan Patent Office Kouzou OIKAWA

Number of Certification: 2001-3055149

日本国特許庁
JAPAN PATENT OFFICE

JC760 U.S. PRO
10/014949
10/26/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 4月25日

出願番号

Application Number:

特願2001-128187

出願人

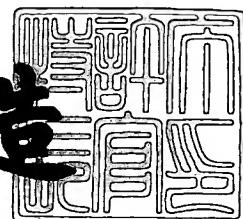
Applicant(s):

サンケン電気株式会社

2001年 6月12日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3055149

【書類名】 特許願
【整理番号】 SNK-99
【提出日】 平成13年 4月25日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/06
【発明の名称】 半導体装置及びその製造方法
【請求項の数】 6
【発明者】
【住所又は居所】 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
【氏名】 山本 誠
【発明者】
【住所又は居所】 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
【氏名】 岩渕 昭夫
【特許出願人】
【識別番号】 000106276
【氏名又は名称】 サンケン電気株式会社
【代理人】
【識別番号】 100083806
【弁理士】
【氏名又は名称】 三好 秀和
【電話番号】 03-3504-3075
【選任した代理人】
【識別番号】 100068342
【弁理士】
【氏名又は名称】 三好 保男
【選任した代理人】
【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100087365

【弁理士】

【氏名又は名称】 栗原 彰

【選任した代理人】

【識別番号】 100079946

【弁理士】

【氏名又は名称】 横屋 超夫

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9803324

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、

前記半導体基板上に形成された第2導電型の第1埋込領域と、

該第1埋込領域の上部に形成された前記第2導電型の一様ベース領域と、

該一様ベース領域の表面から前記埋込領域に到達するように形成された第2導電型の第1プラグと、

前記一様ベース領域内に形成された前記第1導電型の第1及び第2主電極領域と、

前記一様ベース領域内に前記第1主電極領域の底部及び側面を包囲するように形成され不純物密度が前記第1主電極領域から前記第2主電極領域に向かって低下するプロファイルを有する前記第2導電型の勾配ベース領域

とを有する第1のトランジスタを具備し、前記一様ベース領域と前記勾配ベース領域とで前記第1のトランジスタの第1ベース領域を構成することを特徴とする半導体装置。

【請求項2】 前記半導体基板上に形成された前記第2導電型の第2埋込領域からなる第3主電極領域と、

前記第2埋込領域の上部に形成された前記第2導電型のドリフト領域と、

該ドリフト領域内に形成された前記第1導電型の第2ベース領域と、

前記第2ベース領域内に形成された前記第2導電型の第4主電極領域とを有する第2のトランジスタとを更に具備することを特徴とする請求項1記載の半導体装置。

【請求項3】 第1導電型の半導体基板上に第2導電型の第1拡散領域を形成する工程と、

該第1拡散領域の上部に前記第2導電型のエピタキシャル成長層を形成し前記第1拡散領域を第1埋込領域とする工程と、

前記第1埋込領域に到達するように前記エピタキシャル成長層の表面から前記第2導電型の第1プラグを形成する工程と、

前記エピタキシャル成長層の表面から前記第1プラグ及び前記第1埋込領域と離間して前記第2導電型の勾配ベース領域を熱拡散により形成する工程と、
前記勾配ベース領域内に前記第1導電型の第1主電極領域を形成する工程と、
前記エピタキシャル成長層の表面に前記第1主電極領域から離間して前記第1導電型の第2主電極領域を形成する工程
とを具備することを特徴とする半導体装置の製造方法。

【請求項4】 前記エピタキシャル成長の前に、前記半導体基板上に前記第2導電型の第2拡散領域を更に形成する工程を更に具備し、

前記エピタキシャル成長により前記第2拡散領域を第3主電極領域となる第2埋込領域とすることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記エピタキシャル成長層内の前記第2埋込領域の上部に前記第1導電型の第2ベース領域を形成する工程と、

該第2ベース領域内に前記第2導電型の第4主電極領域を形成する工程
とを更に具備することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記勾配ベース領域と前記第1主電極領域とを同一拡散窓を用いて形成することを特徴とする請求項3～5のいずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する分野】

本発明は、半導体装置に係り、特に半導体基板上にモノリシックに集積化するのに好適な横型トランジスタの構造に関するものである。

【0002】

【従来の技術】

半導体集積回路の一つとし、電力用トランジスタとこれを制御する制御回路とを同一半導体チップに搭載した構造が知られている。このようなパワーICにおいては、電力用トランジスタを縦型n p nトランジスタにより構成し、制御回路は、比較的小電力のトランジスタである横型p n pトランジスタで構成する場合がある。このような半導体集積回路（パワーIC）における従来の横型p n pト

ランジスタは、例えば、図8に示すように構成されている。即ち、従来の横型p-n-pトランジスタは、半導体基板1、半導体基板1上に形成されたn型の第1埋込領域22、半導体基板1の表面全体に亘って形成されたn型の第1ベース領域33、第1埋込領域22に到達するように形成されたn型の第1プラグ、第1ベース領域33内に形成されたp型の第1エミッタ領域6及び第1コレクタ領域7、第1プラグ内に形成されたn型の第1ベースコンタクト領域9とを有している。このように構成された横型p-n-pトランジスタは、更に、その表面のフィールド絶縁膜86と、フィールド絶縁膜86に形成されたコンタクトホールを介して第1エミッタ配線11、接続配線12、第1ベース配線14とが形成されている。接続配線12は第1コレクタ配線として機能し、図示を省略した高耐圧の縦型n-p-nトランジスタのベース電極に接続されている。

【0003】

【発明が解決しようとする課題】

上述したような従来の半導体集積回路においては、横型p-n-pトランジスタの第1ベース領域33と高耐圧の縦型n-p-nトランジスタのドリフト領域（コレクタ領域）とを同一のエピタキシャル成長層で構成するのが、製造プロセス上、好都合である。即ち、図示を省略しているが、図8（a）の断面の奥に第2エミッタ領域、第2ベース領域、第2コレクタ領域とからなる縦型n-p-nトランジスタが構成される。この場合、縦型n-p-nトランジスタの耐圧の要求から、横型p-n-pトランジスタの第1ベース領域33の不純物密度は比較的低く設定せざるを得ない。このため、横型p-n-pトランジスタのコレクターエミッタ間耐圧（ BV_{ce} ）を確保するためには、ベース幅Wbを相対的に広くする必要がある。

【0004】

しかしながら、ベース幅Wbを広くすると、横型p-n-pトランジスタの電流増幅率が低下し、特性低下を招く。更に、横型p-n-pトランジスタの占有スペースの増大を招き、結果として半導体素子の集積度を低下することとなり好ましくない。

【0005】

本発明は上述の如き従来の課題を解決するためになされたもので、その目的は

、従来の横型バイポーラトランジスタ（B J T）に比較してベース幅W_bを狭くして所望のコレクターエミッタ間耐圧（B V_{ceo}）を得ることが出来る半導体装置及びその製造方法を提供することである。

【0006】

本発明の他の目的は、横型B J Tの占有スペースを減少することが出来、集積度を高めることが出来る半導体装置及びその製造方法を提供することである。

【0007】

本発明の更に他の目的は、集積化されたB J Tの電流増幅率を向上させることが出来る半導体装置及びその製造方法を提供することである。

【0008】

本発明の更に他の目的は、従来の半導体装置の製造方法に比べ簡略なプロセスで高集積化されたB J Tの形成が可能になり、大幅なコストダウンが実現できる半導体装置及びその製造方法を提供することである。

【0009】

【課題を解決するための手段】

上記目的を達成するために、本発明の第1の特徴は、第1導電型の半導体基板と、半導体基板上に形成された第2導電型の第1埋込領域、第1埋込領域の上部に形成された第2導電型の一様ベース領域、一様ベース領域の表面から埋込領域に到達するように形成された第2導電型の第1プラグ、一様ベース領域内に形成された第1導電型の第1及び第2主電極領域、一様ベース領域内に第1主電極領域の底部及び側面を包囲するように形成され不純物密度が第1主電極領域から第2主電極領域に向かって低下するプロファイルを有する第2導電型の勾配ベース領域とを有する第1のトランジスタを具備する半導体装置であることである。ここで、一様ベース領域と勾配ベース領域とで第1のトランジスタの第1ベース領域を構成する。「第1導電型」と「第2導電型」とは互いに反対導電型である。即ち、第1導電型がn型であれば、第2導電型はp型であり、第1導電型がp型であれば、第2導電型はn型である。また、「第1主電極領域」とは、バイポーラトランジスタ（B J T）のエミッタ領域又はコレクタ領域のいずれか一方の半導体領域を意味する。「第2主電極領域」とは、上記第1主電極領域とはならな

いエミッタ領域又はコレクタ領域のいずれか一方の半導体領域を意味する。

【0010】

本発明の第1の特徴によれば、第1主電極領域を隣接して包囲するように勾配ベース領域を形成することにより、横型B J Tの勾配ベース領域の不純物密度を相対的に増加することが出来るため、従来の横型B J Tに比較して勾配ベース領域の幅W_bを狭くして所望のコレクターエミッタ間耐圧(BV_{ceo})を得ることが出来る。また、勾配ベース領域の幅W_bを狭くすることが出来るため、横型B J Tの占有スペースが減少し、結果として半導体集積回路の集積度を高めることが出来る。更に、勾配ベース領域の幅W_bを狭くすることが出来ることに加えて、勾配ベース領域の不純物密度を第1主電極領域から第2主電極領域に向かって徐々に低下する勾配を持たせていることにより最適なドリフト電界が得られ、勾配ベース領域に注入されたキャリアのベース輸送効率の増大し、ベース走行時間の短縮等を図ることが出来る。このため、B J Tの電流増幅率が向上する。

【0011】

本発明の第1の特徴において、半導体基板上に形成された第2導電型の第2埋込領域からなる第3主電極領域、第2埋込領域の上部に形成された第2導電型のドリフト領域、ドリフト領域内に形成された第1導電型の第2ベース領域、第2ベース領域内に形成された第2導電型の第4主電極領域とを有する第2のトランジスタとを更に具備することが可能である。「第3主電極領域」とは、B J Tのエミッタ領域又はコレクタ領域のいずれか一方の半導体領域を意味する。「第4主電極領域」とは、上記第3主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方の半導体領域を意味する。

【0012】

本発明の第2の特徴は、(イ) 第1導電型の半導体基板上に第2導電型の第1拡散領域を形成する工程、(ロ) 第1拡散領域の上部に第2導電型のエピタキシャル成長層を形成し第1拡散領域を第1埋込領域とする工程、(ハ) 第1埋込領域に到達するようにエピタキシャル成長層の表面から第2導電型の第1プラグを形成する工程、(ニ) エピタキシャル成長層の表面から第1プラグ及び第1埋込領域と離間して第2導電型の勾配ベース領域を熱拡散により形成する工程、(ホ

) 勾配ベース領域内に第1導電型の第1主電極領域を形成する工程、(ヘ)エピタキシャル成長層の表面に第1主電極領域から離間して第1導電型の第2主電極領域を形成する工程を具備する半導体装置の製造方法であることである。

【0013】

本発明の第2の特徴によれば、先に形成した勾配ベース領域は第1主電極領域形成時に、第1主電極領域よりも深くドライブインされることから、勾配ベース領域は第1主電極領域を隣接して包囲するように形成される。そして、勾配ベース領域と第1主電極領域とを同一拡散窓を使用して自己整合的にDSA(Diffusion Self Alignment)によって形成することが可能であるため、第1主電極領域の縁部から横方向に延びる勾配ベース領域の広がり幅は両方向で等しく、かつ不純物プロファイルの勾配も等しくすることが出来る。平面パターン上勾配ベース領域が第1主電極領域を囲むように環状に形成される場合は、環状の勾配ベース領域の幅が一定に形成できる。このため、従来の半導体装置の製造方法に比べ簡略なプロセスで高集積化されたBJTの形成が可能になり、大幅なコストダウンが実現できる。なお、「拡散窓」とは、プレデポジション(気相拡散)に用いる酸化膜中に設けられた窓でも良く、イオン注入に用いるレジスト膜中に設けられた窓でも構わない。

【0014】

本発明の第2の特徴に係る半導体装置の製造方法において、エピタキシャル成長の前に半導体基板上に第2導電型の第2拡散領域を更に形成し、エピタキシャル成長により第2拡散領域を第3主電極領域となる第2埋込領域とすることが可能である。また、本発明の第2の特徴に係る半導体装置の製造方法において、エピタキシャル成長層内の第2埋込領域の上部に第1導電型の第2ベース領域を形成し、第2ベース領域内に第2導電型の第4主電極領域を形成することが可能である。

【0015】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号が付してある。

【0016】

(半導体装置の構成)

図1 (a) に示すように、本発明の実施の形態に係る半導体装置は、縦型n p nトランジスタ(BJT)Q2のベース電極に、横型p n pトランジスタ(BJT)Q1のコレクタ電極が接続されている。縦型n p nトランジスタ(BJT)Q2のコレクタ電極は、負荷 R_{L2} を介して電源線Vccに接続されている。

【0017】

横型p n pトランジスタ(BJT)Q1のコレクタ電極は、負荷 R_{L1} を介して電源線Vccに接続されている。図1 (b) は、図1 (a) の等価回路に対応した平面図を示すものである。

【0018】

図1 (a)、(b) に示すように、本発明の実施の形態に係る半導体装置は、電力用トランジスタを縦型n p nトランジスタ(BJT)Q2により構成し、これを制御する比較的小電力のトランジスタを横型p n pトランジスタ(BJT)Q1で構成し、双方のトランジスタを同一半導体基板上にモノリシックに集積化した半導体集積回路(パワーIC)である。従って、図1 (b) に示すように、平面パターン上、横型p n pトランジスタ(第1のトランジスタ)Q1が形成された領域とは別の領域には、縦型n p nトランジスタ(第2のトランジスタ)Q2がモノリシックに集積化されている。

【0019】

横型p n pトランジスタは、図1 (b) 及び図2 (a) に示すように、p型(第1導電型)の半導体基板1、半導体基板1上に形成されたn型(第2導電型)の第1埋込領域22、半導体基板1の表面全体に亘って形成されたn型の一様ベース領域31、第1埋込領域22に到達するように形成されたn型の第1プラグ領域4、一様ベース領域31内に形成されたp型の第1エミッタ領域(第1主電極領域)6及び第1コレクタ領域(第2主電極領域)7、一様ベース領域31内に第1エミッタ領域6を包囲するように形成された勾配ベース領域5、第1プラグ領域4内に形成された第1ベースコンタクト領域9とを有している。半導体基板1としてはシリコン(Si)基板が使用可能である。横型p n pトランジスタ

は、素子分離領域49により周囲を囲まれ、他の半導体素子と分離されている。素子分離領域49は半導体基板1に到達するように形成された素子分離溝の溝面を覆う溝面絶縁膜92及び溝面絶縁膜92上に形成される埋込絶縁膜91から構成されている。

【0020】

横型p-n-pトランジスタの表面にはフィールド絶縁膜86が形成されている。このフィールド絶縁膜86中に形成されたコンタクトホールを介してアルミニウム合金膜からなる第1エミッタ配線11が第1エミッタ領域6に、接続配線12が第1コレクタ領域7に、第1ベース配線14が第1ベースコンタクト領域9に接続されている。接続配線12は第1コレクタ配線として機能し、縦型n-p-nトランジスタの第2ベースコンタクト領域に接続されている。アルミニウム合金膜としては、例えばAl-Si又はAl-Cu-Si膜等が使用可能である。

【0021】

縦型n-p-nトランジスタは、図2(b)に示すように、p型の半導体基板1、半導体基板1上に形成されたn型の第2埋込領域(第3主電極領域)23、半導体基板1の表面全体に亘って形成されたn型のドリフト領域32、第2埋込領域23に到達するように形成されたn型の第2プラグ領域43、ドリフト領域32内に形成されたp型の第2ベース領域35、第2ベース領域35内に形成されたn型の第2エミッタ領域(第4主電極領域)36及びp型の第2ベースコンタクト領域39、第2プラグ領域4内に形成された第2コレクタコンタクト領域44とを有している。横型p-n-pトランジスタと同様に溝面絶縁膜92及び溝面絶縁膜92上に形成される埋込絶縁膜91からなる素子分離領域49により周囲を囲まれている。この縦型n-p-nトランジスタの表面には横型p-n-pトランジスタと同様にフィールド絶縁膜86が形成されている。フィールド絶縁膜86中に形成されたコンタクトホールを介してアルミニウム合金膜からなる第2エミッタ配線42が第2エミッタ領域36に、横型p-n-pトランジスタの第1コレクタ領域7から延長形成された接続配線12が第2ベースコンタクト領域39に、第2コレクタ配線41が第2コレクタコンタクト領域44に接続されている。

【0022】

本発明の実施の形態に係る半導体集積回路では、横型p-n-pトランジスタのp型の第1エミッタ領域6を隣接して包囲するようにn型の勾配ベース領域5を形成し、第1エミッタ領域6から第1コレクタ領域7との間に介在する勾配ベース領域5の不純物プロファイルの勾配を第1エミッタ領域6から第1コレクタ領域7に向かって徐々に低下するように形成される。第1エミッタ領域6を隣接して包囲するように勾配ベース領域5を形成することにより、横型p-n-pトランジスタの勾配ベース領域5の不純物密度を、一様ベース領域31の不純物密度に比し相対的に増加することが出来る。このため、従来の横型p-n-pトランジスタに比較してベース幅W_bを狭くして所望のコレクターエミッタ間耐圧(BV_{ceo})を得ることが出来る。また、本発明の実施の形態に係る半導体集積回路では、ベース幅W_bを狭くすることが出来るため、横型p-n-pトランジスタの占有スペースが減少し、結果として、半導体集積回路の集積度を高めることが出来る。更に、ベース幅W_bを狭くすることが出来ることに加え、勾配ベース領域5の不純物密度を第1エミッタ領域6から第1コレクタ領域7に向かって徐々に低下する勾配を持たせていることにより、最適なドリフト電界が得られ、第1ベース領域3に注入されたキャリアのベース輸送効率の増大、ベース走行時間の短縮等を図ることが出来、電流增幅率が向上する。

【0023】

(半導体装置の製造工程)

次に、本発明の実施の形態に係る半導体装置(半導体集積回路)の製造方法について、図3乃至図7を参照して説明する。

【0024】

(イ) まず、図3(a)に示すようにp型のSi基板からなる半導体基板1を用意し、図3(b)に示すように、この半導体基板1の主面に300nm~600nmの酸化膜81を熱酸化により形成する。この後、フォトリソグラフィー技術により酸化膜81をパターニングして、図3(c)に示すように、n型の第1埋込領域及び第2埋込領域を形成するための拡散窓を開口する。この酸化膜81をイオン注入用マスクとして用いてn型不純物イオン(例えば³¹P⁺など)をイオン注入し、その後活性化アニールをすることにより、図3(d)に示すよう

に第1埋込領域用のn⁺拡散領域21及び紙面の奥に位置するため図示を省略した第2埋込領域用のn⁺拡散領域を形成する。

【0025】

(口) 次に、表面の酸化膜81を除去し、図3(e)に示すように、n⁺拡散領域21の上にn型のエピタキシャル成長層34を5μm~50μm堆積する。エピタキシャル成長中のn型不純物のオートドーピング及び上方拡散により、エピタキシャル成長層34と半導体基板1との界面に第1埋込領域22が形成される。第1埋込領域22の上部のエピタキシャル成長層34は横型pnptランジスタの一様ベース領域31として機能する。一方、図示を省略したn⁺拡散領域型にも第2埋込領域がエピタキシャル成長層34と半導体基板1との界面に形成される。第2埋込領域23上に形成されたエピタキシャル成長層34は、縦型n_pnトランジスタのドリフト領域32として機能する。

【0026】

(ハ) 次に、エピタキシャル成長層34(31, 32)の表面に500nm~1μmの酸化膜82を熱酸化により形成する。そして、リソグラフィー工程により形成したレジスト膜をマスクとして反応性イオンエッティング(RIE)法等によるエッティングにより酸化膜82を選択的にエッティングし、図4(f)に示すように、素子分離溝形成予定領域を開口した酸化膜82からなるエッティングマスクを形成する。このエッティングマスク82を用いて、RIE法等により、半導体基板1が露出するまで、U溝(トレンチ)からなる素子分離溝71を形成する。この素子分離溝71は、一様ベース領域31及びドリフト領域32をそれぞれ囲むようにエピタキシャル成長層34の表面から半導体基板1に向かって形成される。次に、酸化膜82を除去した後、この素子分離溝71の表面を100nm~500nm熱酸化し、溝面絶縁膜92を形成する。更に図4(g)に示すように、CVD法により多結晶シリコンからなる埋込絶縁膜91を溝面絶縁膜92の上に形成し、素子分離溝71を埋め込む。

【0027】

(二) 次に、図4(h)に示すように、化学的機械研磨(CMP)等を用いて、エピタキシャル成長層34の表面が露出するまで平坦化し、素子分離溝71の

内部にのみ溝面絶縁膜91及び埋込絶縁膜91を埋め込み素子分離領域を完成させる。その後、図5(i)に示すように、エピタキシャル成長層34(一様ベース領域31)の表面にフィールド酸化膜となる新たな酸化膜86を厚さ300nm~600nm程度で形成する。そして、酸化膜86をフォトリソグラフィー技術を用いてパターニングし、第1プラグ領域及び第2プラグ領域に対応した拡散窓を開口する。この拡散窓を介してn型不純物イオンを注入し、その後、不活性ガス中で活性化アニールとドライブインアニールをして、図5(j)に示すように第1プラグ領域4を形成する。図5(j)において図示を省略しているが、紙面の奥の方には第2プラグ領域43が形成される。ここで、不活性ガスとは窒素(N₂)、アルゴン(Ar)、ヘリウム(He)等を意味する。更に、これらの不活性ガス中に微量の酸素(O₂)を含んでも良い。なお、本明細書中では、微量の酸素を含む場合を含めて「不活性ガス中で」と略記する。

【0028】

(ホ) 次に、図5(k)に示すように、表面の酸化膜86の表面にレジスト膜51を形成した後、フォトリソグラフィー技術を用いて、レジスト膜51の第1エミッタ領域形成予定領域に拡散窓を開口する。更に、レジスト膜51をマスクとして酸化膜86をRIE法等でエッチングしてエピタキシャル成長層34(一様ベース領域31)の表面を露出させる。このレジスト膜51及び酸化膜86を注入マスクとしてn型不純物イオンを選択的に注入する。レジスト膜51除去後、更に新たなレジスト膜を塗布し、このレジスト膜に対しフォトリソグラフィー技術を用いて、第1エミッタ領域の上部を覆い、p型の第2ベース領域形成予定領域に拡散窓を開口する。第2ベース領域形成予定領域は紙面の奥に位置し図示されない。このレジスト膜をマスクとして酸化膜86をエッチングしてドリフト領域32の表面を露出させる。そして、このレジスト膜及び酸化膜86を注入マスクとして、p型不純物イオンを選択的に注入する。レジスト膜除去後、不活性ガス中でアニールし、図6(1)に示すようにn型の勾配ベース領域5を形成する。一方、このアニールにより縦型n-p-nトランジスタ形成領域においては、p型の第2ベース領域35が形成される(図6(1)では紙面の奥に位置するので図示されない。)。

【0029】

(ヘ) 更に、図6 (m) に示すように、酸化膜86の上に更に新たなレジスト膜52を塗布し、フォトリソグラフィー技術を用いて、このレジスト膜52の第1エミッタ領域形成予定領域、第1コレクタ領域形成予定領域、第2ベースコンタクト領域形成予定領域に対して開口部を形成する。第2ベースコンタクト領域形成予定領域は紙面の奥に位置するため図示されない。更にレジスト膜52をマスクとして、RIE法等でエッチングし、エピタキシャル成長層34の表面を選択的に露出する。この開口部を有するレジスト膜52を注入マスクとしてp型の不純物イオン（例えば $^{11}B^+$ など）を図6 (m) に示すように、選択的にイオン注入する。

【0030】

(ト) 次に、レジスト膜52を除去し、新たなレジスト膜を全面に塗布する。この新たなレジスト膜に対してフォトリソグラフィー技術により第1エミッタ領域6、第1コレクタ領域7、第2ベースコンタクト領域39の上部をカバーし、第1ベースコンタクト領域形成予定領域、第2エミッタ領域形成予定領域、第2コレクタコンタクト領域形成予定領域に拡散窓を開口する。第2エミッタ領域形成予定領域、第2コレクタコンタクト領域形成予定領域は紙面の奥に位置するため図示されない。第1ベースコンタクト領域の開口部は、第1プラグ領域4の内部に位置するように位置合わせされる。このレジスト膜を注入マスクとして、n型の不純物イオン（例えば $^{75}As^+$ など）を選択的にイオン注入する。この後、レジスト膜を除去し、不活性ガス中で活性化アニールをすることにより図6 (n) に示すように、第1エミッタ領域6、第1コレクタ領域7、第1ベースコンタクト領域9を形成する。図示を省略しているが、この活性化アニールにより同時に、第2ベースコンタクト領域39、第2エミッタ領域36、第2コレクタコンタクト領域44も形成される。このとき、先にドライブインされた勾配ベース領域5は、第1エミッタ領域6よりも深くドライブインされる。この結果、勾配ベース領域5は、第1エミッタ領域6を包囲するように形成される。即ち、勾配ベース領域5と第1エミッタ領域6は、第1エミッタ領域6と勾配ベース領域5とを同一の拡散マスクを使用してDSAによって自己整合的に形成するため、第

1エミッタ領域6の縁部から図6(n)中で左右に延びる勾配ベース領域5の広がり幅は等しく、かつ左右の方向に測ったそれぞれの不純物プロファイルの勾配も等しくなっている。同様に図示を省略しているが、紙面の垂直方向でも対向する2方向の勾配ベース領域5の広がり幅は等しくなる。更に、本発明の実施の形態においては、平面パターン上において勾配ベース領域5の端部が横方向拡散により第1コレクタ領域7の端部に到達するように拡散深さが制御される。ただし、勾配ベース領域5は必ずしも第1コレクタ領域7に到達する必要はない。

【0031】

(チ) 第1エミッタ領域6、第1コレクタ領域7、第1ベースコンタクト領域9、第2ベースコンタクト領域39、第2エミッタ領域36、第2コレクタコンタクト領域44等を形成する際に不活性ガス中でアニールすることにより、イオン注入用の窓として用いたそれぞれの拡散窓は、メタライゼーション用のコンタクト窓としてそのまま利用することが可能である。即ち、これらの領域6、7、9、39、36、44等を形成する際に拡散窓に露出したエピタキシャル成長層34の表面には酸化膜が形成されない。微量の酸素を含む雰囲気の場合は薄い酸化膜が拡散窓中に形成されるが、スライトエッチで除去可能である。酸化膜86の上に図7(o)に示すように、スパッタリング法又は電子ビーム(EB)真空蒸着法等によりアルミニウム合金膜10を形成する。この上にレジスト膜を塗布し、フォトリソグラフィー技術を用いて、レジスト膜をパターニングしメタライゼーション用マスクを形成する。このメタライゼーション用マスクを用いて、アルミニウム合金膜10をRIEにより選択的にエッチングする。この結果、アルミニウム合金膜10が図7(p)に示すようにパターニングされ、接続配線12、第1エミッタ配線11、第1ベース配線14、第2エミッタ配線42、第2コレクタ配線41が形成される。その後、電極配線のパターニングに用いたフォトレジスト膜を除去する。そして、図示を省略しているが、機械的損傷防止と、水分や不純物の浸入の防止を目的とした膜厚600nm~1.5μm程度のパッシベーション膜を第1エミッタ配線11、第1ベース配線14、接続配線12、第2エミッタ配線42、第2コレクタ配線41上にCVD法により積層する。パッシベーション膜には、酸化膜、PSG膜、BPSG膜や窒化膜(Si₃N₄膜)

、あるいはこれらの複合膜、更にはポリイミド膜などが利用される。

【0032】

本発明の実施の形態に係る半導体装置の製造方法によれば、先に形成した勾配ベース領域5は第1エミッタ領域6よりも深くドライブインされることから、勾配ベース領域5は第1エミッタ領域6を隣接して包囲するように形成される。そして、勾配ベース領域5と第1エミッタ領域6とを同一の拡散マスクを使用して自己整合的にDSAによって形成するため、第1エミッタ領域6の縁部からの勾配ベース領域5の広がり幅は等しく、かつ不純物プロファイルの勾配も等しくすることが出来る。このため、従来の半導体装置の製造方法に比べ簡略なプロセスで高集積化されたBJTの形成が可能になり、大幅なコストダウンが実現できる。

【0033】

(その他の実施の形態)

本発明は上記のような実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び製造工程技術が明らかとなる。

【0034】

例えば、上記実施の形態の説明においては第1導電型をp型、第2導電型をn型として説明したが、第1導電型をn型、第2導電型をp型としても良いことは勿論である。

【0035】

また、素子分離領域49を溝面絶縁膜92及び埋込絶縁膜91からなる絶縁分離構造で説明したが、接合分離構造でも構わない。

【0036】

また本発明は、パワーICに限定されるものではなく、小信号用の論理集積回路でも構わない。そして、IIL論理回路等の場合のように、対象とする集積回路の回路構成に応じて素子分離領域を省略しても良い。

【0037】

更に集積化する回路構成に応じて、第1埋込領域22及び第2埋込領域23は共有して形成されても構わないし、同一半導体基板1上にそれぞれ別々に形成されても構わない。また、第1プラグ領域4及び第2プラグ領域43は共有して形成されても構わないし、同一半導体基板1上にそれぞれ別々に形成されても構わない。

【0038】

更に、上記の実施の形態の説明においては、Si基板を用いる場合を説明したが、炭化珪素(SiC)、ガリウム砒素(GaAs)、インジウムリン(InP)等の他の半導体材料を用いても構わないことは勿論である。

【0039】

このように本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。従って、本発明の技術的な範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0040】

【発明の効果】

本発明によれば、従来の横型BJTに比較してベース幅Wbを狭くして所望のコレクターエミッタ間耐圧(BV_{ceo})を得ることが出来る。

【0041】

また、本発明によれば、横型BJTの占有スペースを減少することが出来、半導体装置の集積度を高めることが出来る。

【0042】

更に、本発明によれば、集積化されたBJTの電流増幅率を向上させることが出来る。

【0043】

更に、本発明によれば、従来の半導体装置の製造方法に比べ簡略なプロセスで高集積化されたBJTの形成が可能になり、大幅なコストダウンが実現できる。

【図面の簡単な説明】

【図1】

図1(a)は、本発明の実施の形態に係る半導体装置の一部を示す等価回路図

で、図1（b）は、図1（a）に対応した半導体装置の平面図である。

【図2】

図2（a）は、図1（b）のA-A方向に沿った断面図で、図2（b）は、図1（b）のB-B方向に沿った断面図である。

【図3】

本発明の実施の形態に係る半導体装置の製造工程を示す工程断面図である（その1）。

【図4】

本発明の実施の形態に係る半導体装置の製造工程を示す工程断面図である（その2）。

【図5】

本発明の実施の形態に係る半導体装置の製造工程を示す工程断面図である（その3）。

【図6】

本発明の実施の形態に係る半導体装置の製造工程を示す工程断面図である（その4）。

【図7】

本発明の実施の形態に係る半導体装置の製造工程を示す工程断面図である（その5）。

【図8】

図8（a）は、従来の横型pn_pトランジスタを有する半導体装置の断面図で、図8（b）は、対応する平面図である。

【符号の簡単な説明】

1 半導体基板

3, 33 第1ベース領域

4 第1プラグ

5 勾配ベース領域

6 第1エミッタ領域

7 第1コレクタ領域

9 第1ベースコンタクト領域

10 アルミニウム合金膜

11 第1エミッタ配線

12 接続配線

14 第1ベース配線

21 n⁺拡散領域

22 第1埋込領域

23 第2埋込領域

31 一様ベース領域

32 ドリフト領域

34 エピタキシャル成長層

35 第2ベース領域

36 第2エミッタ領域

39 第2ベースコンタクト領域

41 第2コレクタ配線

42 第2エミッタ配線

43 第2プラグ

44 第2コレクタコンタクト領域

49 素子分離領域

51, 52 レジスト膜

71 素子分離溝

81, 82 酸化膜

86 フィールド絶縁膜

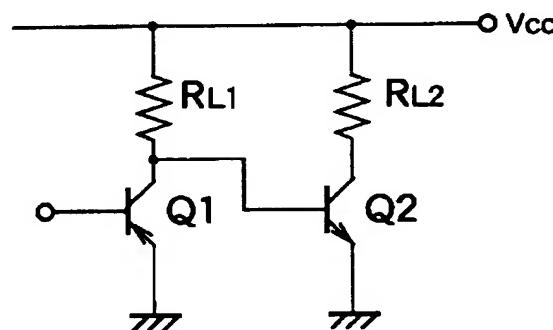
91 埋込絶縁膜

92 溝面絶縁膜

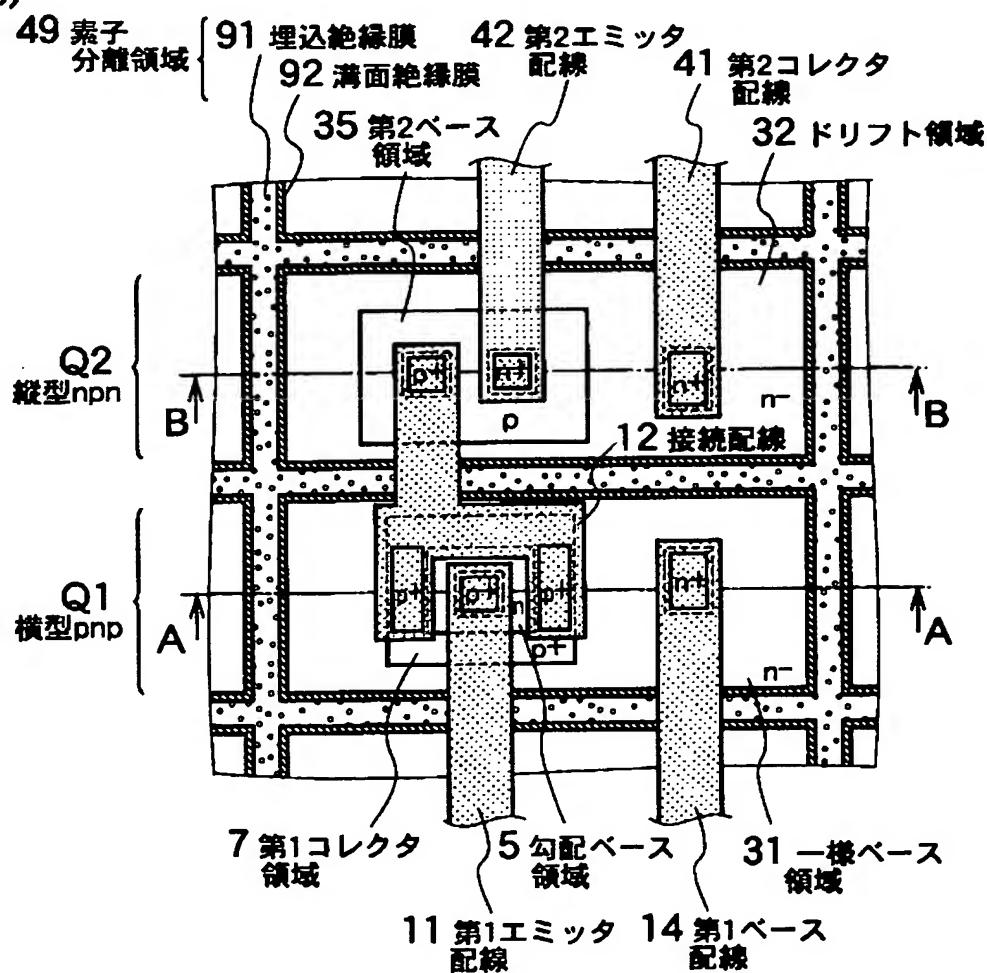
【書類名】 図面

【図1】

(a)

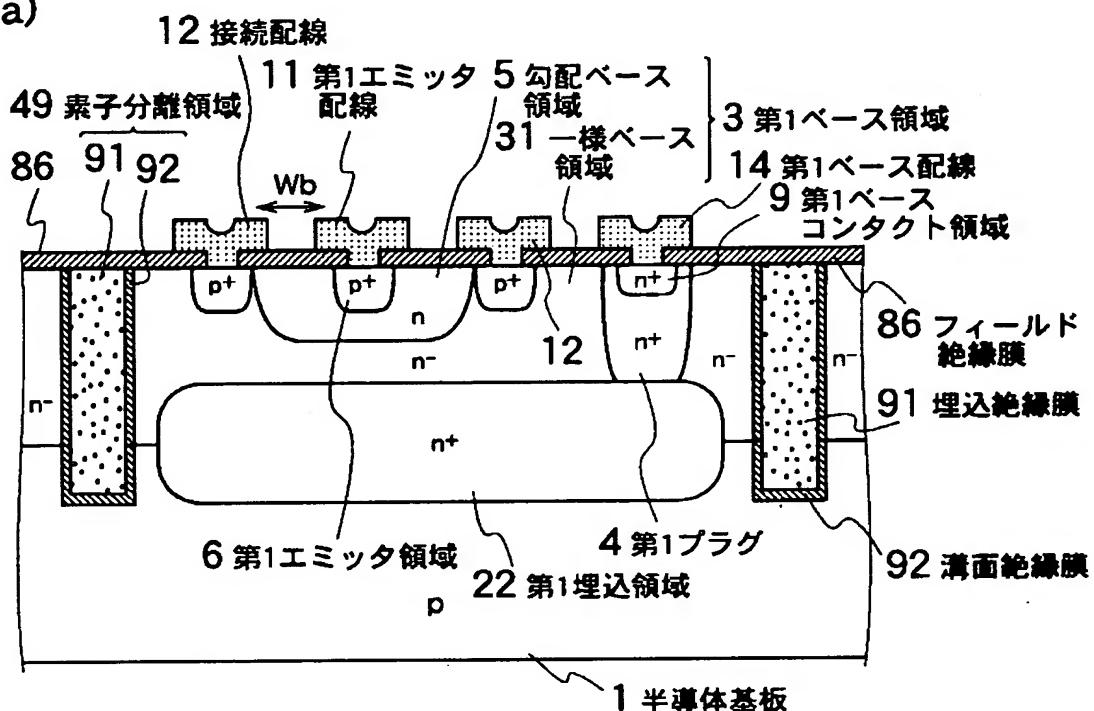


(b)

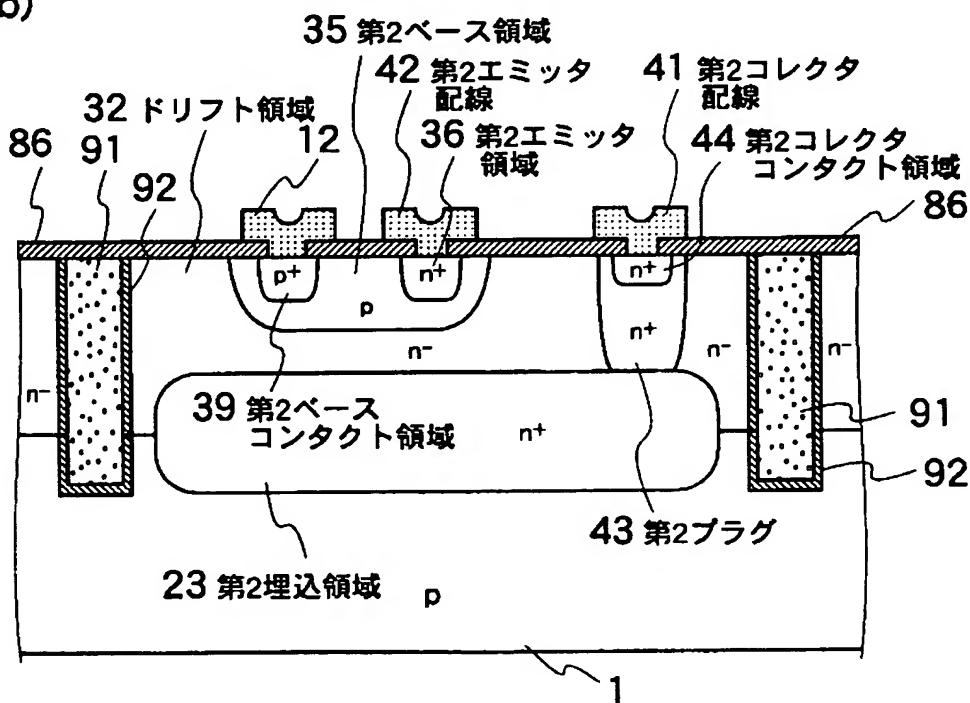


【図2】

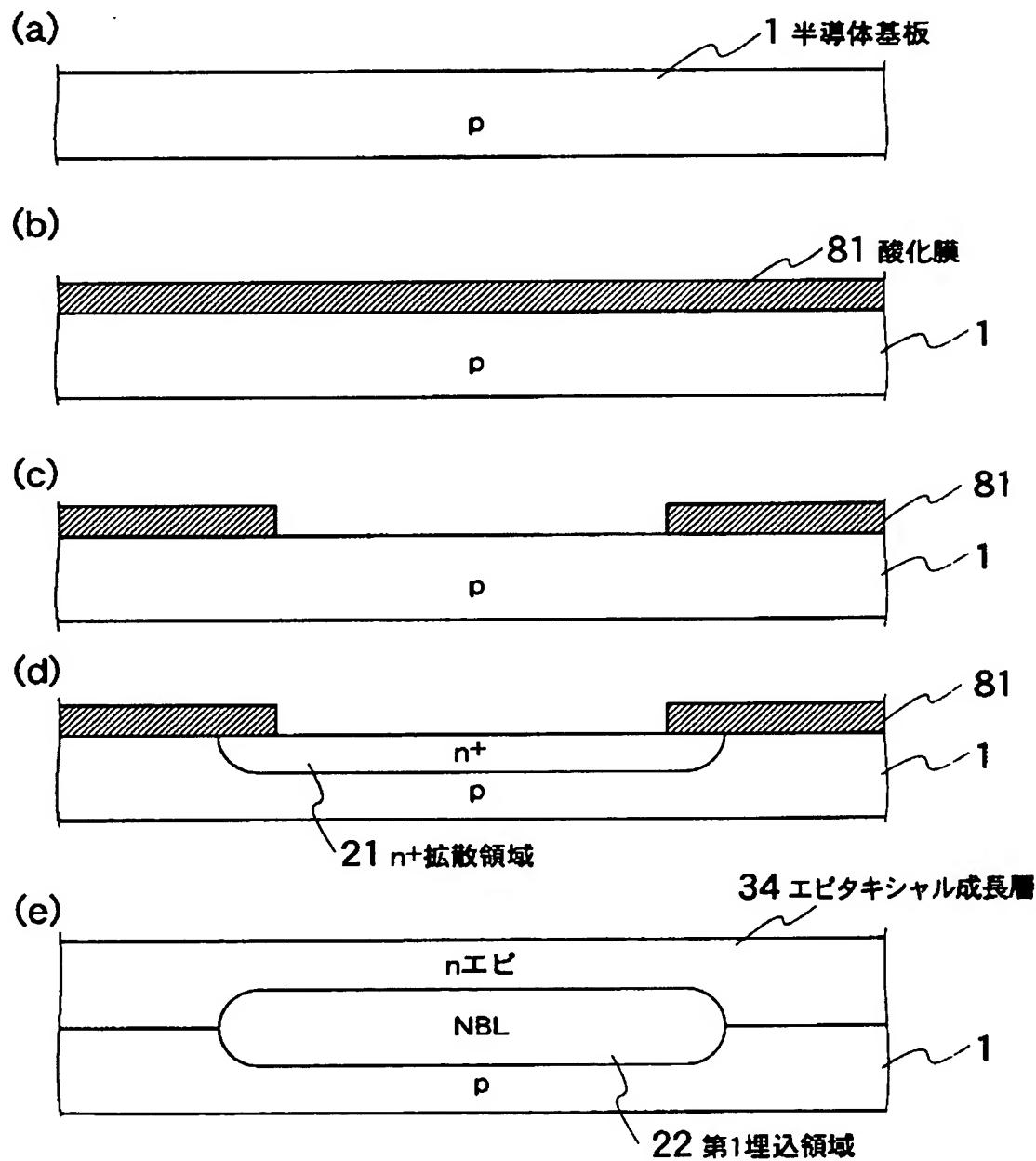
(a)



(b)

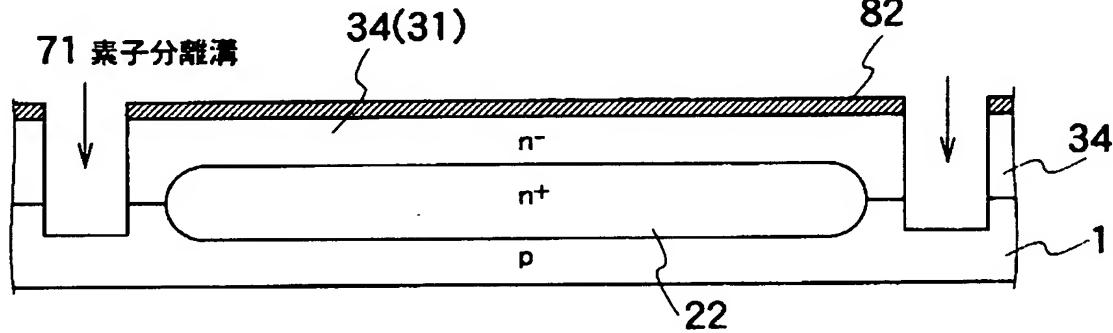


【図3】

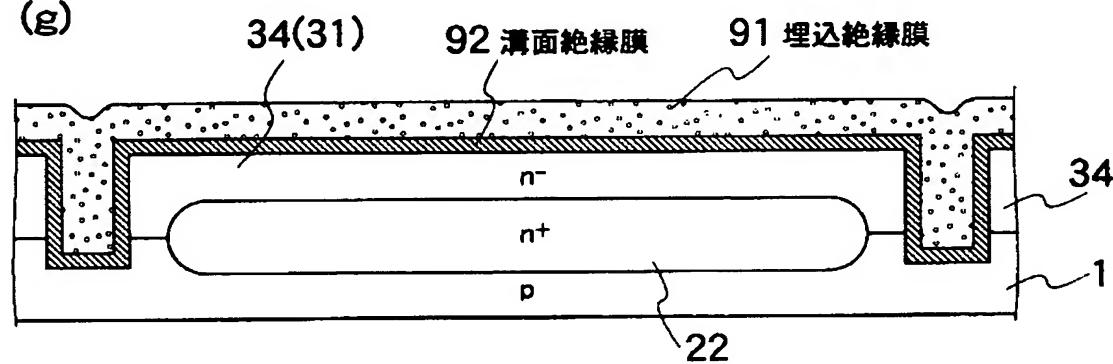


【図4】

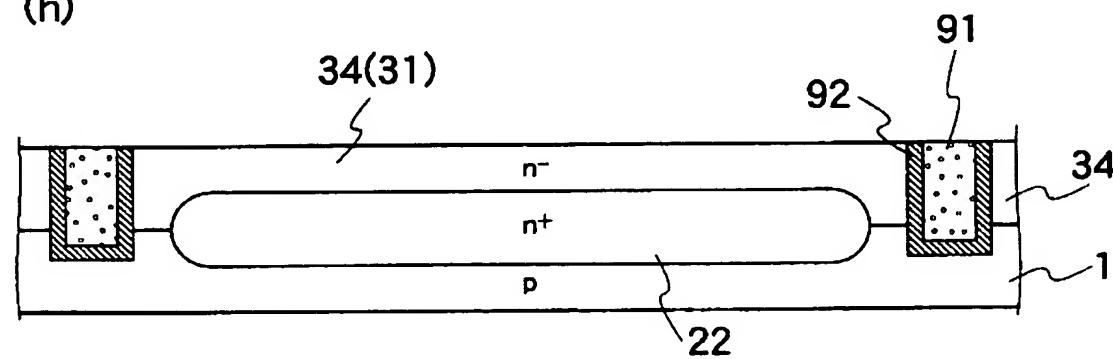
(f)



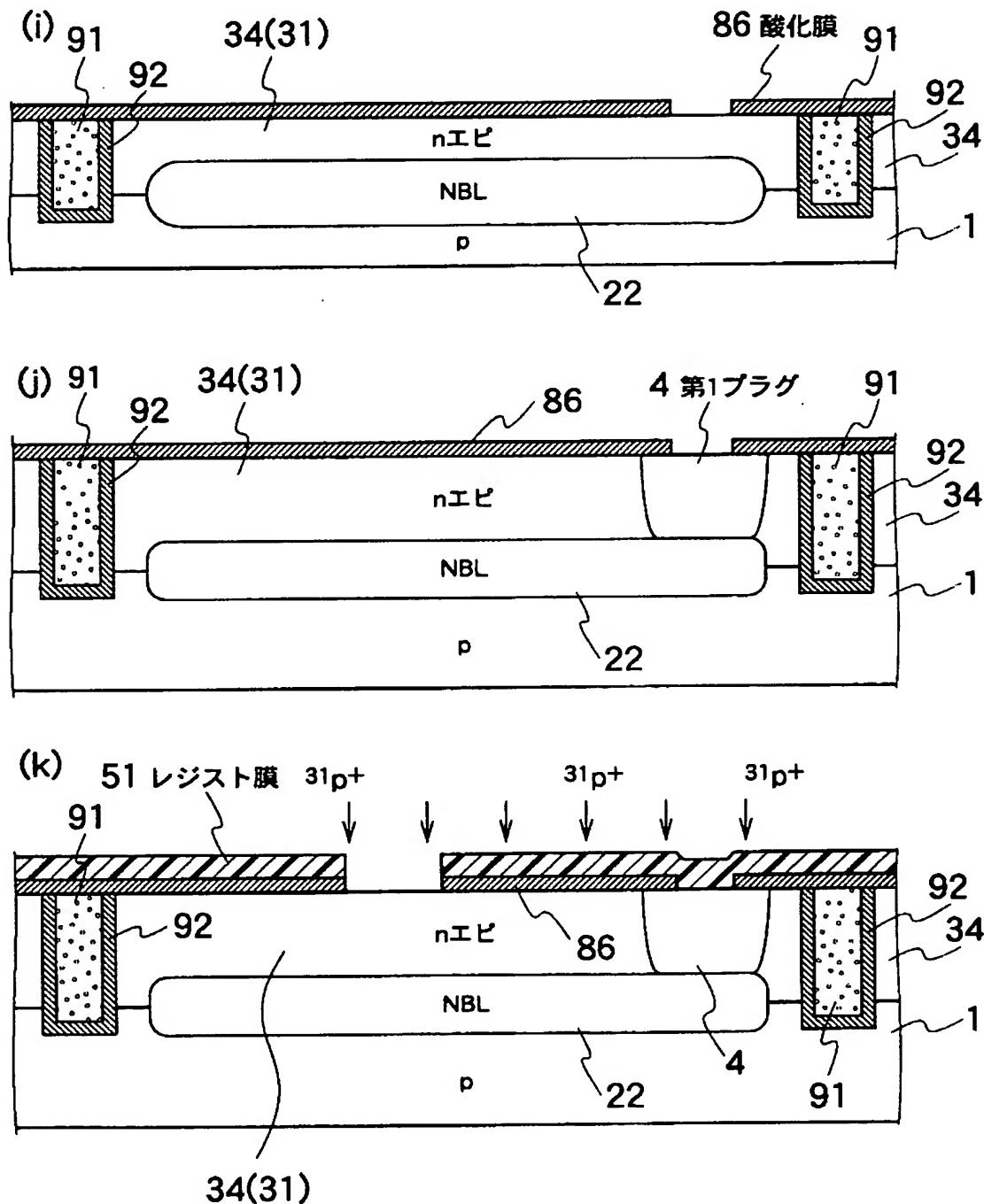
(g)



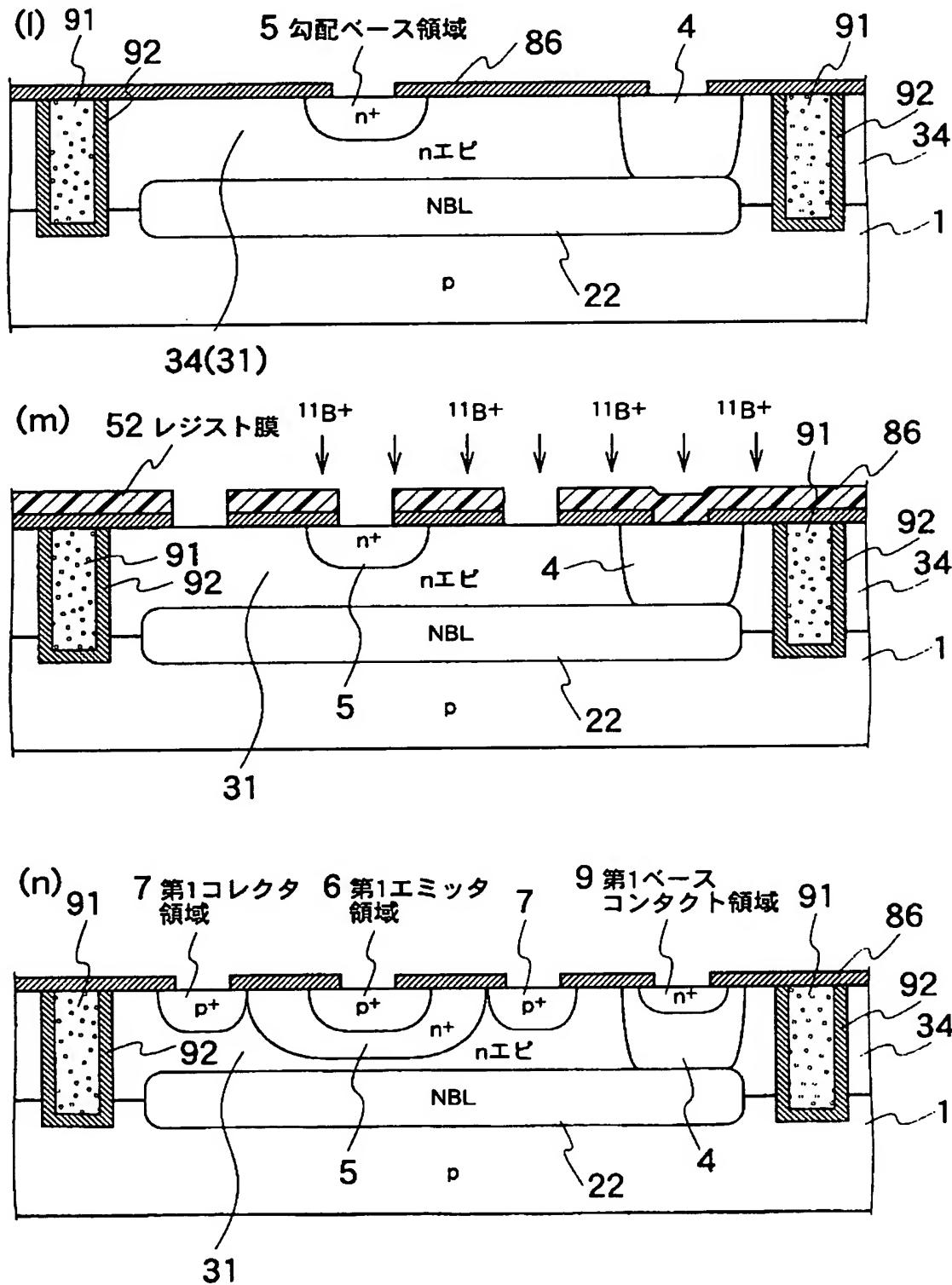
(h)



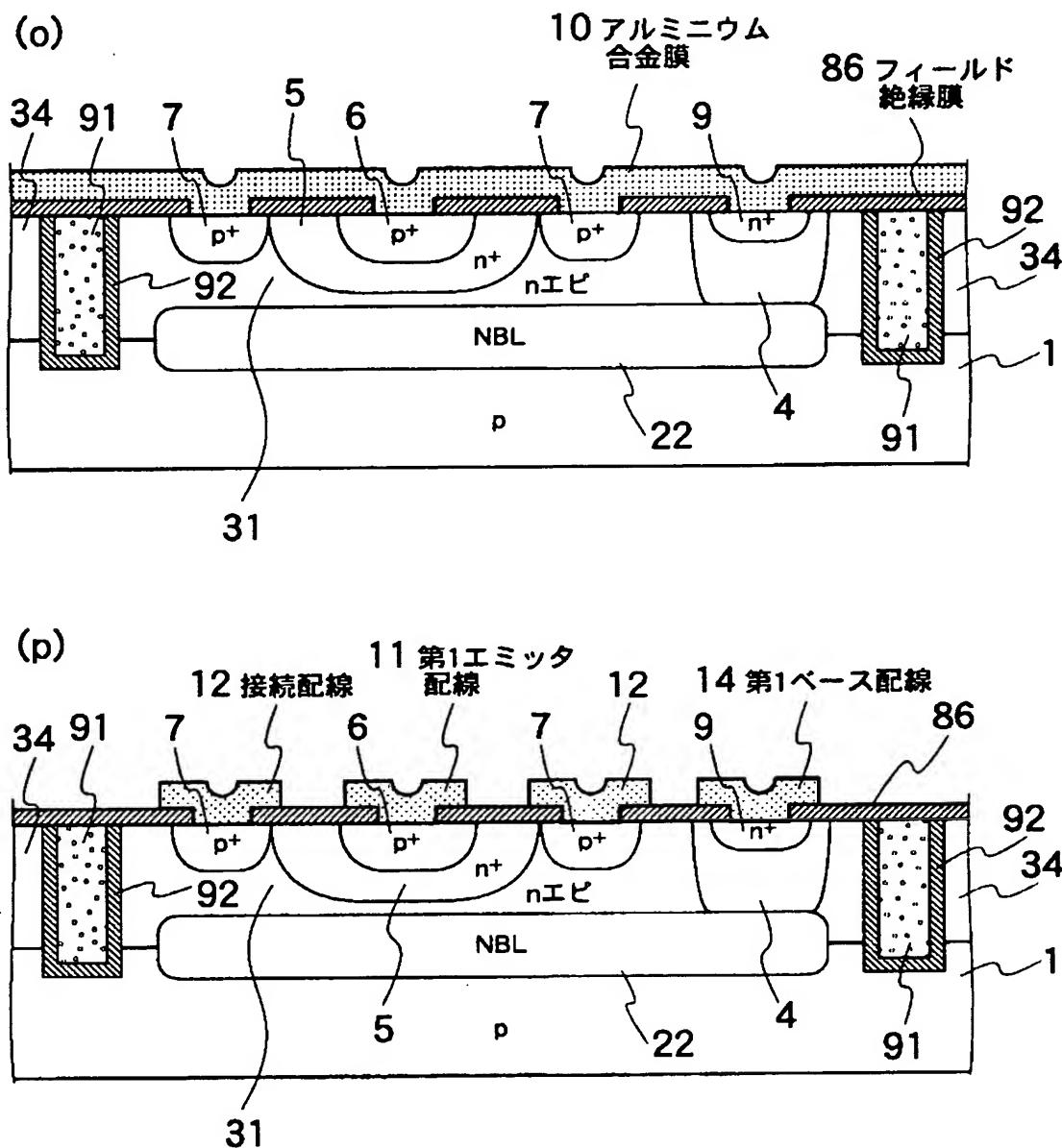
【図5】



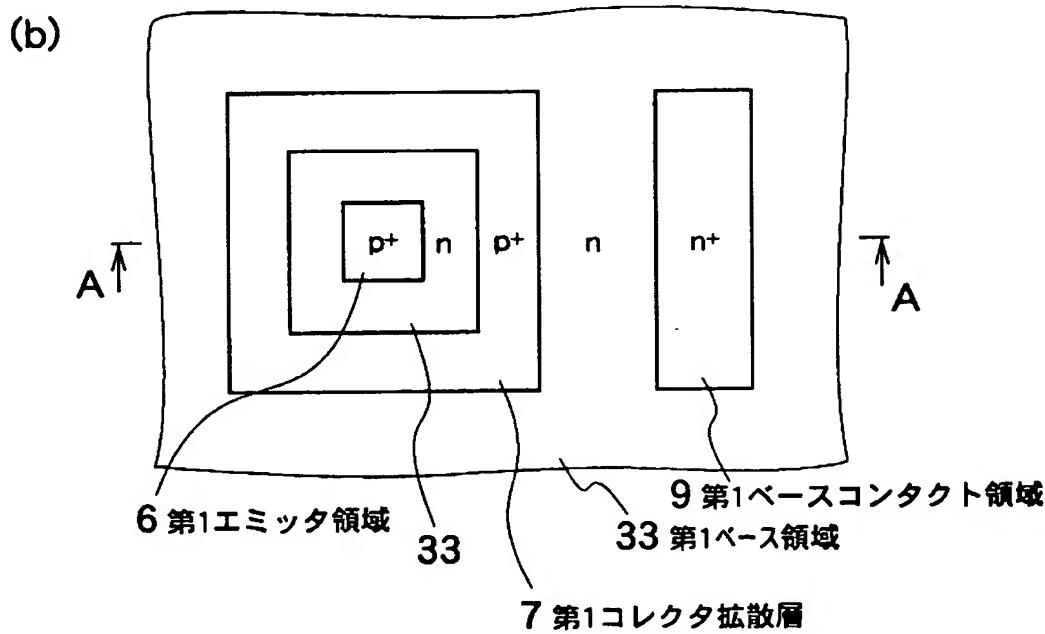
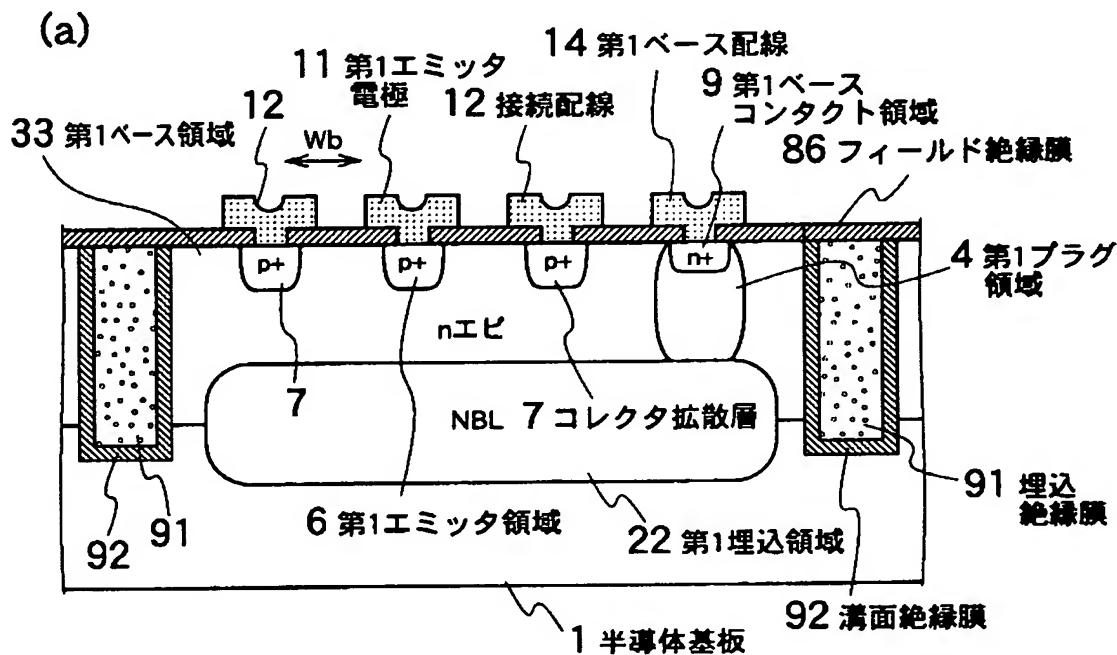
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 電力用トランジスタと制御回路とを同一半導体チップに搭載したパワーICの集積度を向上させる。

【解決手段】 横型pnpトランジスタは、半導体基板1、半導体基板1上の第1埋込領域22、一様ベース領域31、第1エミッタ領域6及び第1コレクタ領域7を有する。第1エミッタ領域6の底部及び側面を包囲するようにn型の勾配ベース領域5が形成されている。また、同一基板上の別の領域においては、第2埋込領域23、ドリフト領域32、第2エミッタ領域36、第2ベース領域35を有する縦型npnトランジスタが集積化されている。第1エミッタ領域6を包囲するように勾配ベース領域5を形成することにより、ベース幅Wbを狭くし、半導体装置の集積度を高めることが出来る。

【選択図】 図2

出願人履歴情報

識別番号 [000106276]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 埼玉県新座市北野3丁目6番3号

氏 名 サンケン電気株式会社